

551271

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年10 月21 日 (21.10.2004)

PCT

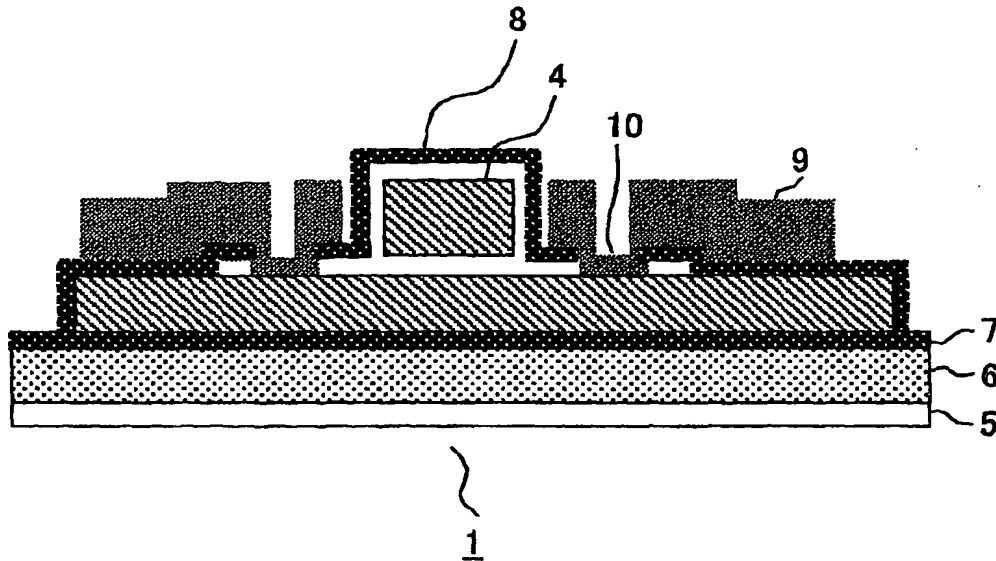
(10) 国際公開番号  
WO 2004/089812 A1

- (51) 国際特許分類<sup>7</sup>: B81C 1/00, (72) 発明者; および  
B81B 3/00, H03H 9/24, 3/007 (75) 発明者/出願人 (米国についてののみ): 多田 正裕 (TADA, Masahiro) [JP/JP]. 木下 隆 (KINOSHITA, Takashi) [JP/JP]. 田中 均洋 (TANAKA, Masahiro) [JP/JP]. 山口 征也 (YAMAGUCHI, Masanari) [JP/JP]. 御手洗 俊 (MITARAI, Shun) [JP/JP]. 難波田 康治 (NANIWADA, Koji) [JP/JP].
- (21) 国際出願番号: PCT/JP2004/004822
- (22) 国際出願日: 2004 年4 月2 日 (02.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-098782 2003 年4 月2 日 (02.04.2003) JP  
特願2004-068325 2004 年3 月11 日 (11.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: PROCESS FOR FABRICATING MICROMACHINE

(54) 発明の名称: マイクロマシンの製造方法



(57) Abstract: A process for fabricating a micromachine in which removal of a sacrifice layer and sealing can be carried out without requiring any special packaging technology. The process for fabricating a micromachine (1) equipped with an oscillator (4) comprises a step for forming a sacrifice layer around the movable part of the oscillator (4), a step for covering the sacrifice layer with an overcoat film (8) and making a through opening (10) communicating with the sacrifice layer through the overcoat film (8), a sacrifice layer etching step for removing the sacrifice layer through the use of the trough opening (10) in order to form a space around the movable part, and a step for sealing the trough opening (10) by performing film deposition while reducing the pressure following etching of the sacrifice layer.

[続葉有]

WO 2004/089812 A1



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,  
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が  
可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,  
SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,  
KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY,  
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(57) 要約: 特殊なパッケージング技術を必要とすることなく犠牲層の除去および封止を行うことができるマイクロマシンの製造方法である。振動子(4)を備えたマイクロマシン(1)の製造方法において、振動子(4)の可動部周囲に犠牲層を形成する工程と、犠牲層上をオーバーコート膜(8)で覆うとともにそのオーバーコート膜(8)に犠牲層へ通じる貫通口(10)を形成する工程と、可動部周囲に空間を形成するために貫通口(10)を用いて犠牲層を取り除く犠牲層エッチングを行う工程と、犠牲層エッチングの後に減圧下における成膜処理を行って貫通口(10)を封止する工程とを含む。

## 明細書

## マイクロマシンの製造方法

## 5 技術分野

本発明は、振動子を備えたマイクロマシンの製造方法に関する。

## 背景技術

近年、基板上の微細化製造技術の進展に伴い、いわゆるマイクロマシン  
10 ン（超小型電氣的・機械的複合体；Micro Electro-Mechanical  
Systems、以下「MEMS」という）やそのMEMSを組み込んだ小型  
機器等が注目されている。MEMSは、可動構造体である振動子と、そ  
の振動子の駆動を制御する半導体集積回路等とを、電氣的・機械的に結  
合させた素子である。そして、振動子が素子の一部に組み込まれており、  
15 その振動子の駆動を電極間のクーロン引力等を応用して電氣的に行うよ  
うになっている。

このようなMEMSのうち、特に半導体プロセスを用いて形成された  
ものは、デバイスの占有面積が小さいこと、高いQ値（振動系の共振の  
鋭さを表す量）を実現できること、他の半導体デバイスとのインテグレ  
20 ーション（統合）が可能であること等の特徴を有することから、無線通  
信用の高周波フィルタとしての利用が提案されている（例えば、C.T.-  
C.Nguyen, "Micromechanical components for miniaturized low-  
power communications(invited plenary)," proceedings, 1999  
IEEE MTT-S International Microwave Symposium RF MEMS  
25 Workshop, June, 18, 1999, pp. 48-77. 参照）。

## 2

ところで、MEMSを他の半導体デバイスとインテグレーションする場合には、そのMEMSにおける振動子の部分をカプセル封止して、これによりさらに上層に配線層等の配置を可能とすることが提案されている（例えば、特開2002-94328号公報（第7頁、第10図）参照）。ただし、振動子のカプセル封止にあたっては、振動子の周囲を中空構造とすること、すなわちその振動子の可動部周囲に空間を確保して、振動子を可動し得る状態にすることが必要である。この可動部周囲の空間確保は、通常、いわゆる犠牲層エッチングによって行われる。

犠牲層エッチングとは、振動子の可動部周囲に予め薄膜を形成しておき、その後、この薄膜をエッチングにより取り除いて、当該可動部周囲に空間（隙間）を形成することをいう。また、犠牲層エッチングを行うために、可動部周囲に形成した薄膜を犠牲層という。

しかしながら、MEMSと他の半導体デバイスとのインテグレーションは、幾つかの課題を抱えている。一般に、当該インテグレーションは、他の半導体デバイスについての製造プロセス（例えば、CMOSプロセス）の最終工程に、MEMS（特に、その振動子）の製造プロセスを付加する形で行われる。したがって、MEMSの製造プロセスにおいては、既に形成されている半導体デバイスへの悪影響を回避するために、高温での加工を行うことができない。つまり、低温で振動子を形成する必要があり、その加工が容易でないものになってしまうおそれがある。

これに対して、MEMSにおける振動子の部分をカプセル封止した場合には、これによりさらに上層に配線層等の配置が可能となるので、高温で振動子を形成しても、その高温加工の悪影響が配線層等に及ぶのを回避することができる。ところが、その場合には、犠牲層エッチングにより形成した振動子の可動部周囲の空間を真空封止するために、絶縁材料等による特殊なパッケージング技術が必要になってしまう（例えば、

特開 2 0 0 2 - 9 4 3 2 8 号公報（第 7 頁、第 1 0 図）参照）。つまり、真空封止のためのパッケージング工程が必要となるため、既存の半導体プロセス（例えば、CMOS プロセス）の過程において行うことが困難であり、結果として MEMS を含むデバイスの生産効率低下を招いてし

5 まうことが考えられる。

そこで、本発明は、MEMS の加工容易化を図るべく犠牲層エッチングを行って振動子の部分を封止するとともに、その場合であっても特殊なパッケージング技術を必要とすることなく犠牲層の除去および封止を行うこと可能とする、マイクロマシンの製造方法を提供することを目的とする。

10

#### 発明の開示

本発明は、上記目的を達成するために案出された、振動子を備えた MEMS の製造方法であって、前記振動子の可動部周囲に犠牲層を形成する工程と、前記犠牲層上をオーバーコート膜で覆うとともに、当該オーバーコート膜に前記犠牲層へ通じる貫通口を形成する工程と、前記可動部周囲に空間を形成するために前記貫通口を用いて前記犠牲層を取り除く犠牲層エッチングを行う工程と、前記犠牲層エッチングの後に減圧下における成膜処理を行って前記貫通口を封止する工程とを含むことを特徴とする。

15

20

上記手順の MEMS の製造方法によれば、犠牲層を形成する工程、犠牲層上をオーバーコート膜で覆う工程および犠牲層エッチングを行う工程を含むことから、そのオーバーコート膜のさらに上層に配線層等の配置が可能となる。すなわち、これらの工程の後に、配線層等の形成工程を行い得るようになる。したがって、その前工程（例えば、CMOS プロセスにおけるアルミ工程以前）にて振動子を形成すれば、当該振動子

25

を高温で形成しても、その高温加工の悪影響が配線層等に及ぶことがない。

また、犠牲層エッチングの後に減圧下における成膜処理を行って貫通口を封止する工程とを含むことから、その工程にて、振動子の可動部周囲の空間が減圧状態で封止される。しかも、減圧下における成膜処理により貫通口を封止するため、半導体プロセス（例えば、CMOSプロセス）における成膜技術をそのまま利用して実現することが可能となり、当該半導体プロセスにおける他の工程と連続的に行えらるとともに、真空封止のための特殊なパッケージング技術を要することもない。

- 10 本発明に係るMEMSの製造方法によれば、犠牲層エッチングを行って振動子の部分を封止するので、振動子を高温で形成してもその悪影響が配線層等に及ぶのを回避することができ、結果としてMEMSの加工容易化を図ることができる。さらには、犠牲層エッチングによる空間の封止を減圧下における成膜処理によって行うため、特殊なパッケージング技術を必要とすることなく犠牲層の除去および封止を行うこと可能となる。したがって、本発明によれば、MEMSを他の半導体デバイスとインテグレーションする場合であっても、そのMEMSを含むデバイスの生産効率を向上させ得るようになる。

## 20 図面の簡単な説明

第1A図乃至第1B図は、本発明によって得られるMEMSの一構成例を示す説明図であり、第1A図はその平面図、第1B図はその正面図、第1C図は第1A図のA-A'断面図である。

- 25 第2A図乃至第2D図は、本発明に係るMEMSの製造方法の一手順を示す説明図（その1）であり、第2A図～第2D図はそれぞれが各手順を示す図である。

第 3 A 図乃至第 3 D 図は、本発明に係る MEMS の製造方法の一手順を示す説明図（その 2）であり、第 3 A 図～第 3 D 図はそれぞれが各手順を示す図である。

第 4 図は、本発明によって得られる MEMS の他の構成例を示す説明  
5 図である。

発明を実施するための最良の形態

以下、図面に基づき本発明に係る MEMS の製造方法について説明する。なお、当然のことではあるが、以下に説明する実施の形態は、本発  
10 明の好適な実施具体例に過ぎず、本発明がこれに限定されるものでないことは勿論である。

ここで、先ず、MEMS の製造方法の説明に先立ち、その MEMS の概略構成について説明する。ここでは、無線通信用の高周波フィルタとして利用される MEMS を例に挙げて説明する。第 1 A 図乃至第 1 C 図  
15 は、本発明によって得られる MEMS の一構成例を示す説明図である。

第 1 A 図に示すように、ここで説明する MEMS 1 は、入力電極 2 および出力電極 3 に加えて、例えばリンを含有したポリシリコン（P o l y - S i）といった導電性材料からなる帯状のビーム型振動子（以下、単に「振動子」という）4 を備えている。そして、入力電極 2 に特定の  
20 周波数電圧が印加された場合に、振動子 4 のビーム部分（可動部）が固有振動周波数で振動し、出力電極 3 と振動子 4 の可動部との間の空間で構成されるキャパシタの容量が変化し、これが出力電極 3 から出力されるようになっている。これにより、MEMS 1 は、高周波フィルタとして利用した場合に、表面弾性波（S A W）や薄膜弾性波（F B A R）を  
25 利用した高周波フィルタと比較して、高い Q 値を実現することができるのである。

このようなMEMS 1を構成する入力電極2、出力電極3および振動子4は、第1C図に示すように、いずれも、例えばSi（単結晶シリコン）からなる半導体基板（以下、「Si基板」という）5上にSiO<sub>2</sub>膜6およびSiN（窒化ケイ素）膜7が積層された層の、さらにその上方に形成されている。したがって、MEMS 1は、Si基板5上に形成されるものであることから、他の半導体デバイスとのインテグレーションが可能である。

ところで、MEMS 1では、振動子4の可動部が固有振動周波数で振動することから、その振動子4の可動部周囲に空間が確保されている。ただし、その空間は、後述するように、振動子4の可動部がオーバーコート膜8によって覆われていることから、その可動部断面の上下左右、すなわち当該断面の全周にわたって確保されている。

そして、振動子4の上方側には、その振動子4の可動部を覆って封止するために、例えばSiN膜からなるオーバーコート膜8が形成されている。このオーバーコート膜8の存在によって、MEMS 1では、振動子4を可動し得る状態にしつつ、その振動子4が封止され、そのオーバーコート膜8のさらに上層にも配線層等の配置が可能となるのである。このことによっても、MEMS 1は、他の半導体デバイスとのインテグレーションに好適なものであるといえる。

なお、オーバーコート膜8上の一部には、例えばAl-Cu（アルミニウム-銅）膜またはAl-Si（アルミニウム-シリコン）膜からなるスパッタ膜9が成膜されている。これは、振動子4の可動部周囲に空間を確保すべく、オーバーコート膜8に設けられた犠牲層エッチングのための貫通口10を封止するためのものである。



次に、以上のようなMEMS 1の製造方法、すなわち本発明に係るMEMSの製造方法について説明する。第2A図～第3D図は、本発明に係るMEMSの製造方法の一手順を示す説明図である。

5 上述した構成のMEMS 1の製造にあたっては、先ず、第2A図に示すように、Si基板5上に絶縁膜として機能するSiO<sub>2</sub>膜6およびSiN膜7を、例えば減圧CVD (Chemical Vapor Deposition) 法により形成する。そして、その上から、第2B図に示すように、例えば燐(P)を含有したポリシリコン(Poly-Si)のように選択的にエッチング除去可能な材料の膜を形成し、その後周知のリソグラフィ技術およびドライエッチング技術を利用して下部配線11をパターン形成する。

下部配線11をパターン形成した後は、第2C図に示すように、例えば減圧CVD法によりSiO<sub>2</sub>膜を形成し、周知のリソグラフィ技術およびドライエッチング技術を利用してパターン加工し、これにより下部配線11をSiO<sub>2</sub>膜12で覆う。このSiO<sub>2</sub>膜12は、後述するように、犠牲層として機能するものである。

15 その後は、第2D図に示すように、SiO<sub>2</sub>膜12上に、例えば減圧CVD法によりPoly-Si膜を形成し、周知のリソグラフィ技術およびドライエッチング技術を利用してパターン加工し、これによりPoly-Siからなる帯状の振動子4を形成する。

振動子4を形成すると、その後は、第3A図に示すように、例えば減圧CVD法によりSiO<sub>2</sub>膜を形成し、周知のリソグラフィ技術およびドライエッチング技術を利用してパターン加工し、振動子4をSiO<sub>2</sub>膜13で覆う。このSiO<sub>2</sub>膜13も、犠牲層として機能するものである。これにより、振動子4は、その可動部周囲、すなわち側壁部分を含めた断面の上下左右面の全てが、犠牲層として機能するSiO<sub>2</sub>膜12

および $\text{SiO}_2$ 膜13によって覆われることになる。つまり、振動子4の断面下方向には $\text{SiO}_2$ 膜12が存在し、断面左右および上方向には $\text{SiO}_2$ 膜13が存在する。

- このようにして、犠牲層として機能する $\text{SiO}_2$ 膜12および $\text{SiO}_2$ 膜13を形成した後は、第3B図に示すように、続いて、その上に、 $\text{SiN}$ 膜14を例えば減圧CVD法により形成する。この $\text{SiN}$ 膜14は、犠牲層を覆うオーバーコート膜として機能するものである。そして、その $\text{SiN}$ 膜14に対して、周知のリソグラフィ技術およびドライエッチング技術を利用して、犠牲層（ $\text{SiO}_2$ 膜12または $\text{SiO}_2$ 膜13のいずれか）へ通じる貫通口10を形成する。

- 貫通口10の形成後は、その貫通口10を用いて犠牲層を取り除く犠牲層エッチングを行い、振動子4の可動部周囲に空間を形成する。すなわち、第3C図に示すように、例えばフッ酸水溶液（DHF溶液）といった $\text{SiO}_2$ を選択的に除去する溶液により、 $\text{SiO}_2$ 膜12および $\text{SiO}_2$ 膜13を除去する。これにより、振動子4の可動部周囲、すなわち可動部断面の全周にわたって、犠牲層の厚さ分だけの空間（ギャップ）が形成され、振動子4の可動部が固有振動周波数で振動し得るようになる。

- 犠牲層エッチングを行った後は、本実施形態において最も特徴的な工程である、減圧下における成膜処理を行う。具体的には、例えば真空中にてスパッタリングによる成膜処理を行い、第3D図に示すように、貫通口10を封止するスパッタ膜9を形成する。このときに用いる反応ガスとしては、スパッタリングによる成膜処理であることから、不活性ガスであるアルゴン（Ar）ガスが挙げられる。また、スパッタ膜9としては、Al-Cu膜、Al-Si膜等といった、金属または金属化合物による薄膜が挙げられる。そして、スパッタ膜9を形成したら、そのス

パッタ膜 9 に対して、周知のリソグラフィ技術およびドライエッチング技術を利用して、配線等の形状にパターン加工する。

このような手順（各工程）を経ることで、第 1 A 図乃至第 1 C 図に示した MEMS 1 が構成されることになる。ただし、上述した手順による  
5 製造方法は、第 1 A 図乃至第 1 C 図のように構成された MEMS 1 のみに限定されるものではなく、オーバーコート膜に設けられた貫通口を用いて犠牲層エッチングを行うものであれば、他の構成の MEMS にも適用可能である。

第 4 図は、本発明によって得られる MEMS の他の構成例を示す説明  
10 図である。図例の MEMS 1 a は、下部配線 1 1 が埋め込まれている点で上述した第 1 A 図乃至第 1 C 図の MEMS 1 と構成が異なるが、このような MEMS 1 a であっても、上述した MEMS 1 の場合と同様の手順（各工程）で製造することが可能である。すなわち、犠牲層エッチングのためにオーバーコート膜 8 に設けられた貫通口 1 0 を、スパッタリ  
15 ングによる成膜処理を行うことで封止することが考えられる。

また、第 1 A 図乃至第 1 C 図および第 4 図に示した MEMS 1, 1 a では、いずれも振動子 4 が帯状のビーム型である場合を例に挙げたが、例えばいわゆるリング型振動子やディスク型振動子であっても、その周囲に可動部空間を確保した中空構造のものであれば、上述した手順による  
20 製造方法を全く同様に適用することが可能である。さらに、このような振動子に振動を励起する手段として、上述の例では静電を用いたものについて説明したが、必ずしも静電駆動に限定されることはなく、例えば piezo 駆動である FBAR にも全く同様に適用可能である。

以上のように、本実施形態で説明した MEMS の製造方法によれば、  
25 振動子 4 の周囲に犠牲層として機能する  $\text{SiO}_2$  膜 1 2 および  $\text{SiO}_2$  膜 1 3 を形成する工程、その犠牲層上をオーバーコート膜である  $\text{SiN}$

膜 1 4 で覆う工程および犠牲層エッチングを行う工程を含むことから、その S i N 膜 1 4 のさらに上層に配線層等の配置が可能となる。すなわち、これらの工程の後に、配線層等の形成工程を行い得るようになる。したがって、その前工程にて振動子 4 を形成することで、その振動子 4  
5 をメタル配線等よりも下層に形成できるため、当該振動子 4 を高温で形成しても、その高温加工の悪影響が配線層等に及ぶことがなく、結果として振動子 4 の形成の容易化を図ることができる。

しかも、本実施形態で説明した M E M S の製造方法では、犠牲層エッチングの後にスパッタリングによる成膜処理を行って貫通口 1 0 を封止  
10 する工程とを含むことから、その工程にて振動子 4 の可動部周囲の空間が封止される。したがって、絶縁材料等による特殊なパッケージング技術を必要とすることがない。すなわち、真空封止のためのパッケージング工程を要せずに、犠牲層エッチングにより形成した振動子 4 の可動部周囲の空間を封止することができる。

15 また、封止のためのスパッタ膜 9 は、配線等としても用いることが考えられる。つまり、配線等のためのスパッタ膜 9 を利用して貫通口 1 0 を封止することも考えられ、その場合には封止と配線等の形成が同一の工程で実現され、製造工程の効率化を図る上で非常に有効である。

さらには、スパッタリングによる成膜処理で貫通口 1 0 を封止するの  
20 で、半導体プロセス（例えば、C M O S プロセス）における成膜技術をそのまま利用して実現することが可能となり、当該半導体プロセスにおける他の工程と連続的に行えるようになる。すなわち、いわゆるインライン中での封止が可能となる。したがって、C M O S プロセス等へのインテグレーションが非常に容易であるとともに、ウエハ状態での M E M  
25 S 評価を行うことも可能となる。

- これらのことから、本実施形態で説明した製造方法を用いてMEMSを構成すれば、MEMSを他の半導体デバイスとインテグレーションする場合であっても、そのMEMSの製造を既存の半導体プロセス（例えば、CMOSプロセス）の過程において行うことができ、結果としてMEMSを含むデバイスの生産効率を向上させ得るようになる。
- 5

特に、本実施形態で説明したように、スパッタリングによる成膜処理で封止を行う場合には、不活性ガスであるArガス中での封止となり、安全性、信頼性の点で非常に好適であると言える。

## 請求の範囲

1. 振動子を備えたマイクロマシンの製造方法であって、  
前記振動子の可動部周囲に犠牲層を形成する工程と、
- 5 前記犠牲層上をオーバーコート膜で覆うとともに、当該オーバーコート膜に前記犠牲層へ通じる貫通口を形成する工程と、  
前記可動部周囲に空間を形成するために前記貫通口を用いて前記犠牲層を取り除く犠牲層エッチングを行う工程と、  
前記犠牲層エッチングの後に減圧下における成膜処理を行って前記貫  
10 通口を封止する工程と  
を含むことを特徴とするマイクロマシンの製造方法。
2. 前記振動子に振動を励起する手段を有したマイクロマシンに適用  
されることを特徴とする請求の範囲第1項記載のマイクロマシンの製造  
方法。
- 15 3. 前記振動を励起する手段に静電を用いることを特徴とする請求の  
範囲第2項記載のマイクロマシンの製造方法。
4. 前記振動を励起する手段にピエゾを用いることを特徴とする請求  
の範囲第2項記載のマイクロマシンの製造方法。
5. 前記減圧下における成膜処理は、スパッタリングによる成膜処理  
20 であることを特徴とする請求の範囲第1項記載のマイクロマシンの製造  
方法。

1/4

Fig.1A

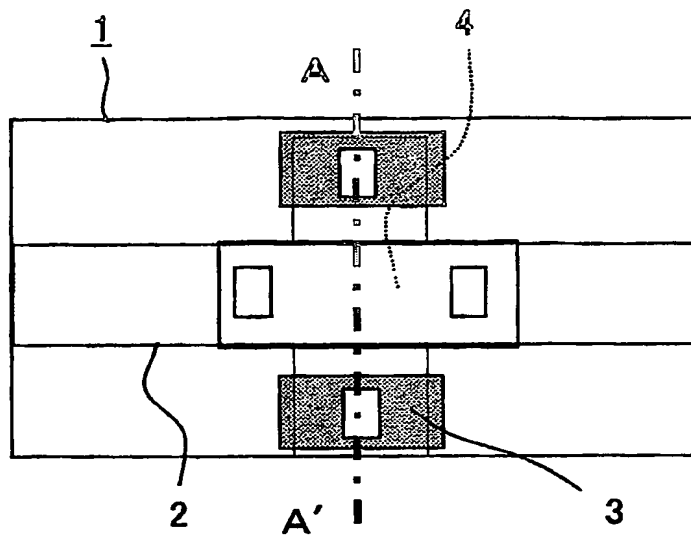


Fig.1B

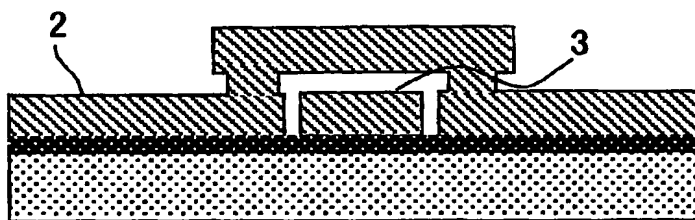


Fig.1C

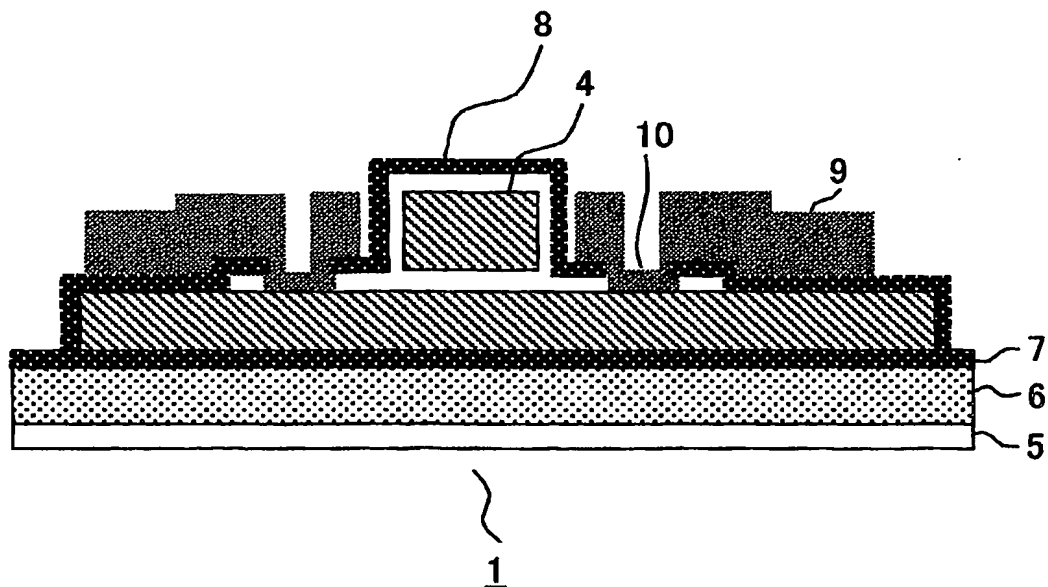


Fig.2A

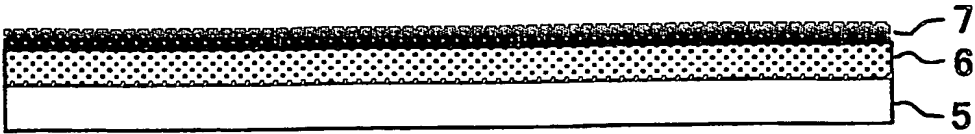


Fig.2B

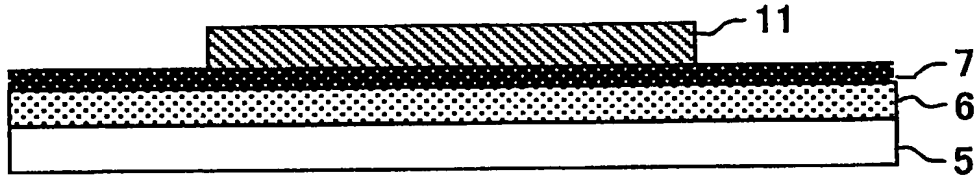


Fig.2C

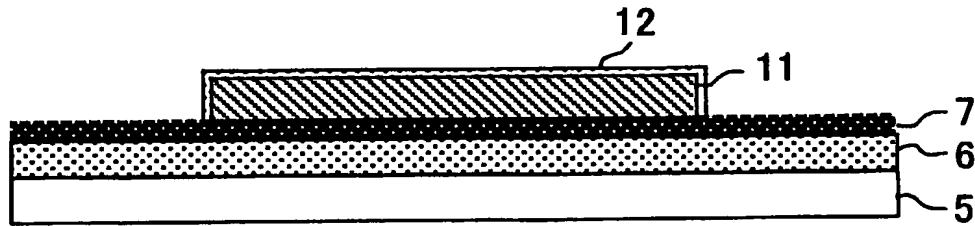
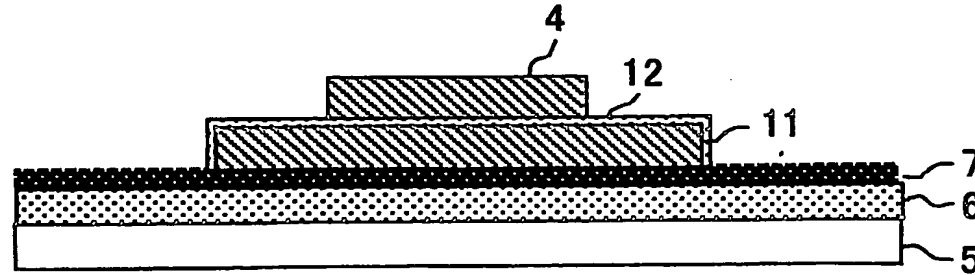


Fig.2D





3/4

Fig.3A

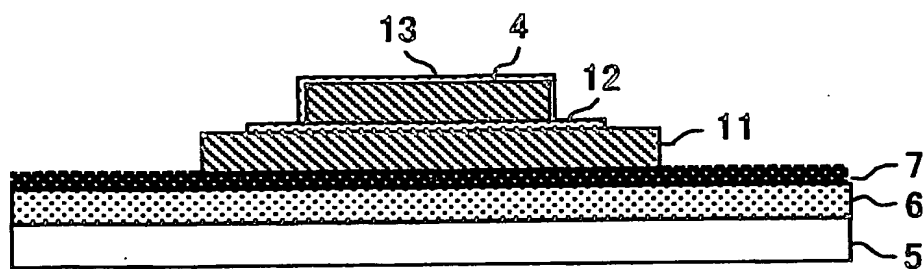


Fig.3B

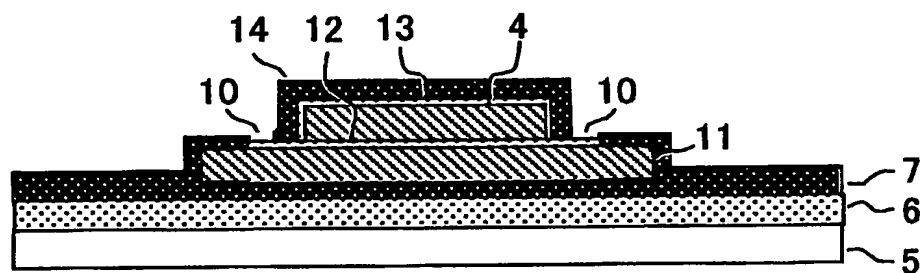


Fig.3C

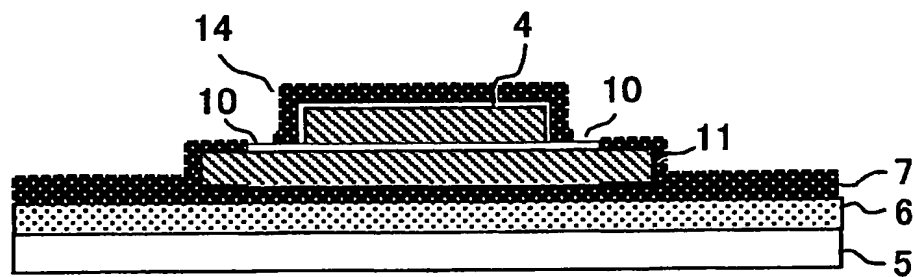
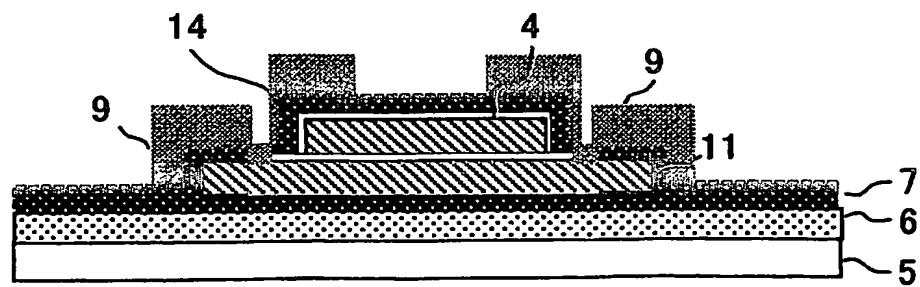


Fig.3D



4/4

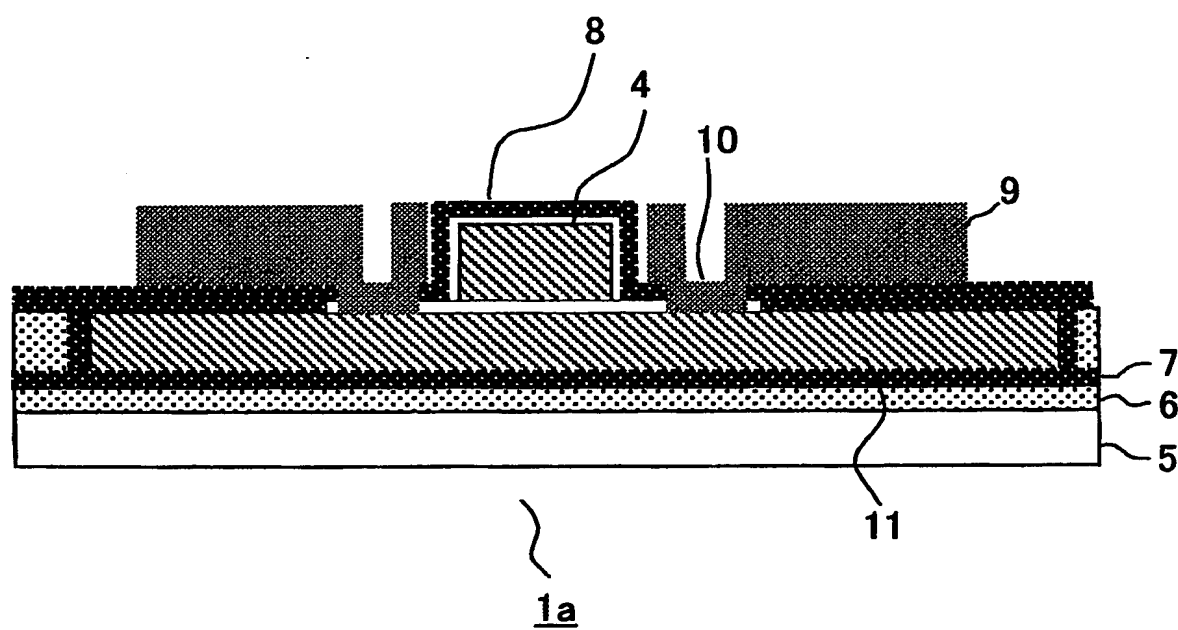


Fig.4

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004822

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> B81C1/00, B81B3/00, H03H9/24, H03H3/007

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> B81C1/00, B81B3/00, H03H9/24, H03H3/007

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 9-148467 A (Murata Mfg. Co., Ltd.), 06 June, 1997 (06.06.97), Par. Nos. [0003], [0016] to [0021]; Fig. 2 (Family: none)	1, 2, 5 3, 4
Y	JP 6-46207 A (Matsushita Electric Industrial Co., Ltd.), 18 February, 1994 (18.02.94), Par. Nos. [0004], [0007] (Family: none)	3, 4
Y	JP 7-131280 A (Toyota Motor Corp.), 19 May, 1995 (19.05.95), Par. Nos. [0023], [0054] (Family: none)	3, 4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
18 May, 2004 (18.05.04)

Date of mailing of the international search report  
01 June, 2004 (01.06.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> B81C1/00, B81B3/00, H03H9/24, H03H3/007

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> B81C1/00, B81B3/00, H03H9/24, H03H3/007

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国実用新案登録公報 1996-2004年  
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 9-148467 A (株式会社村田製作所) 1997.06.06, [0003], [0016]-[0021], 図2 (ファミリーなし)	1, 2, 5 3, 4
Y	JP 6-46207 A (松下電器産業株式会社) 1994.02.18, [0004], [0007] (ファミリーなし)	3, 4
Y	JP 7-131280 A (トヨタ自動車株式会社) 1995.05.19, [0023], [0054] (ファミリーなし)	3, 4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日 18.05.2004

国際調査報告の発送日 01.6.2004

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/J P)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 鈴木 敏史

3 P 3319

電話番号 03-3581-1101 内線 3363